

437/296
~~437/1910~~
+1

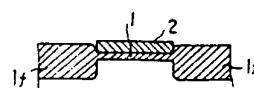
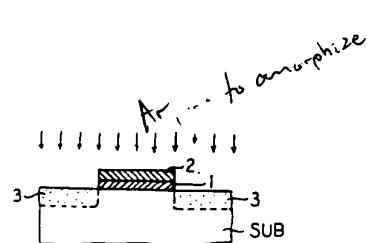
2 - 2

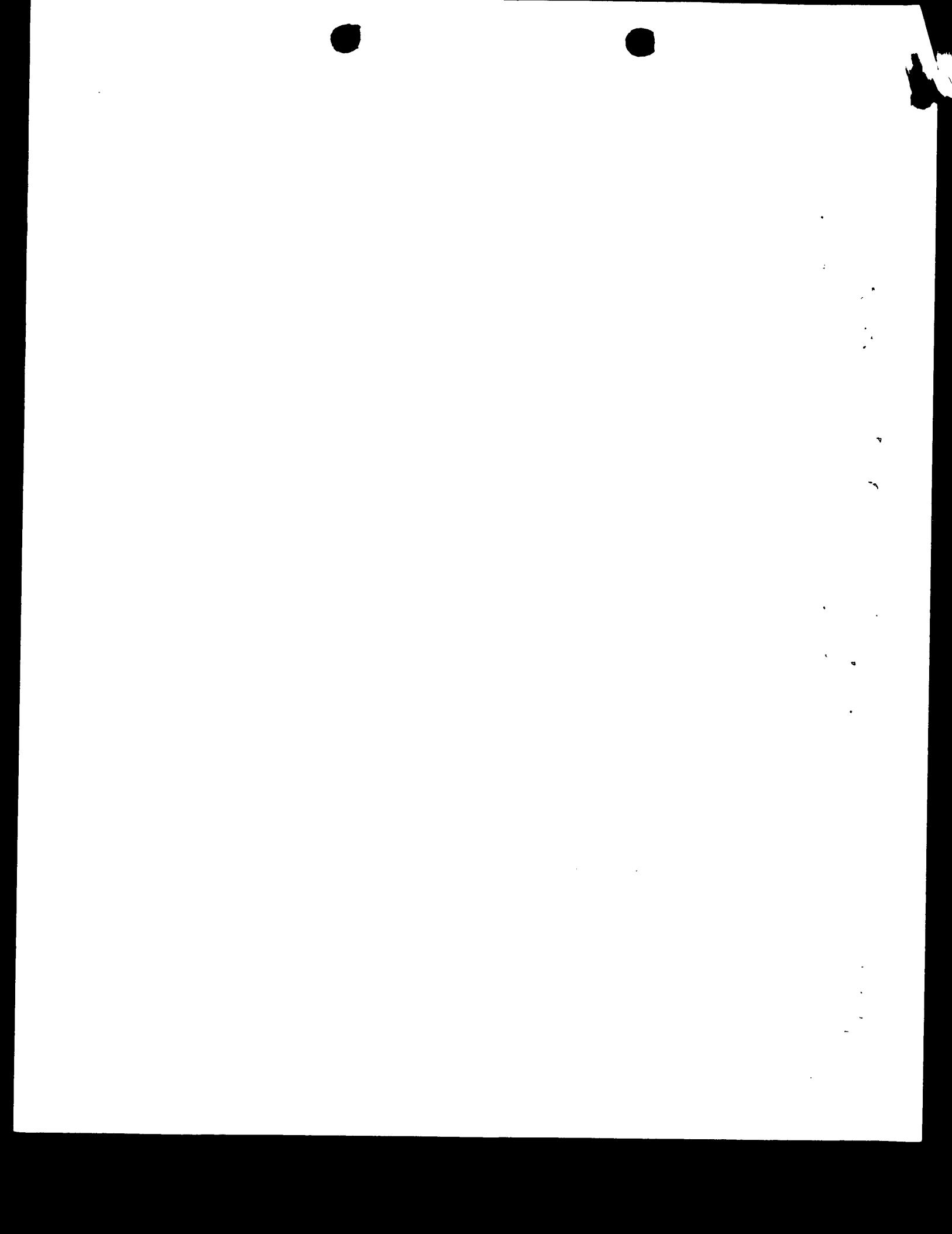
(54) PRODUCTION OF SEMICONDUCTOR DEVICE

- (11) Kokai No. 53-83465 (43) 7.22.1978 (19) JP
(21) Appl. No. 51-159189 (22) 12.28.1976
(71) FUJITSU K.K. (72) TAKASHI SATOU(3)
(52) JPC: 99(5)C23;99(5)H0;99(5)E3
(51) Int. Cl². H01L21/95, H01L21/316//H01L29/78

PURPOSE: To perform highly accurate selective oxidation by ion implanting an inert gas at a high concentration and selectively into a semiconductor substrate to partially form amorphous layers, and thermally oxidizing said layers.

CONSTITUTION: A laminated layer mask of an oxide film 1 and a nitride film 2 is formed on a Si substrate of (100) face, and Ar or other is ion-implanted at a high concentration to make amorphous regions 3. When the regions 3 are next thermally oxidized, field oxide films 1f of a desired film thickness may be obtained within a short time because of an extremely high rate of oxidation, and the end faces of the films 1f have a sharp grade owing to less oxidation in a lateral direction and do not erode element forming regions, whereby the formation of finer pat-





⑨日本国特許庁
公開特許公報

⑩特許出願公開
昭53—83465

⑪Int. Cl.² 識別記号
H 01 L 21/95
H 01 L 21/316//
H 01 L 29/78

⑫日本分類 庁内整理番号
99(5) C 23 7377—57
99(5) H 0 6513—57
99(5) E 3 6603—57

⑬公開 昭和53年(1978)7月22日
発明の数 1
審査請求 未請求

(全4頁)

⑭半導体装置の製造方法

⑮特 願 昭51—159189

⑯出 願 昭51(1976)12月28日

⑰発明者 佐藤孝

川崎市中原区上小田中1015番地
富士通株式会社内

同

矢野弘

川崎市中原区上小田中1015番地
富士通株式会社内

⑱発明者 川田春雄

川崎市中原区上小田中1015番地
富士通株式会社内

同 篠木徹

川崎市中原区上小田中1015番地
富士通株式会社内

⑲出願人 富士通株式会社

川崎市中原区上小田中1015番地

⑳代理人 弁理士 青柳稔

明細書

1 発明の名称

半導体装置の製造方法

2 特許請求の範囲

- (1)シリコン半導体基板に選択的に不活性ガスイオンを高濃度に注入してアモルファス層を部分的に形成し、次いで熱酸化して該アモルファス層を二酸化シリコンとする酸化工程を有することを特徴とした半導体装置の製造方法。
- (2)シリコン半導体基板表面に非酸化性絶縁膜を被覆しつつ該膜をバーニングし、このバーニングした絶縁膜を通して不活性ガスイオン注入および熱酸化を行ない、該絶縁膜の開口部に露出する基板表面にフィールド絶縁膜を形成することを特徴とした特許請求の範囲第1項記載の半導体装置の製造方法。
- (3)シリコン半導体基板にマスクを通して不活性ガスイオンを高濃度に注入し、次に該マスクを除去して熱酸化して該基板表面に厚みのある酸化膜を形成することを特徴とした特許

請求の範囲第1項記載の半導体装置の製造方法。

3 発明の詳細な説明

本発明は、半導体基板への不活性ガスイオン打込みを利用する半導体装置の製造方法に関する。半導体基板表面を熱酸化して酸化膜を形成する場合、その酸化膜の成長速度は半導体基板の面方位により異なる。例えば(100)面に沿つて切出したシリコン半導体基板と(111)面に沿つて切出したそれとの酸化膜成長速度を比較すると、前者の表面を数千Å酸化する間に後者の表面はそれより約20%程度厚く酸化される。即ち(111)面の方が(100)面よりも酸化速度が大である。このような現象は次の如き好ましくない問題を生じる。即ち半導体装置特にブレーナ型の半導体装置には(100)面のシリコン基板がよく使われるが、その表面に酸化膜または塗化膜などの絶縁膜を被覆し、これをバーニングしてマスクとし、該マスクを通して酸化または不純物拡散などを行なうと基板表面は酸化されるが(100)面の基

しかもアモルファスであるから、もはや結晶の面方位の影響は受けない。

本発明はかかる点に着目し、マスクを通して基板をアモルファス（非晶質）化したのち熟酸化することにより、面方位に無関係な、そしてマスクパターンに応じて厚みの異なる酸化膜を得、かかる酸化膜を用いて高精度度の基板絶縁、基板表面の段差を持つエッティング、基板内所望深さへの不純物注入などを可能もしくは容易にしようとするものである。次に実施例を参照しながら本発明を詳細に説明する。

第2図に示すようにシリコン半導体基板SUB上に絶縁膜1aを熱酸化、OVD法などにより形成し、パターニングして開口部1cを作り、かかる絶縁膜1aをマスクとしてアルゴン(Ar)等の不活性ガスを高濃度でイオン注入し、開口部1cの下部基板表面部分にアモルファス層を形成する。その後酸化を施すとアモルファス層の酸化速度は遅いため前述の従来方法による酸化膜と同じ膜厚の酸化膜1dが従来法に比べて極めて短時間で得られる。従つ

4

而に比べて酸化速度が遅いため、酸化膜1eを所望の膜厚とする長時間の熟酸化中に(100)面に対して横(斜め)方向をなす(111)面の方向に急速に酸化が進行し、第4図に示すように、本来は電子形成領域となる膜1、2の下部基板が可成り酸化され、可使用面積が減少してしまう。かかるフィールド絶縁膜形成工程に本発明を適用すると、次の如くなる。即ち先ず第5図に示すように(100)面のシリコン半導体基板SUB上のパターニングした酸化膜1および窒化膜2をマスクとしてシリコン半導体基板SUBにアルゴン等の不活性ガスを高濃度でイオン注入してアモルファス領域3を形成する。次に熟酸化を行なうとアモルファス領域3は極めて緩慢な酸化速度が得られ、横方向酸化は僅少なので該酸化膜1fの端面は急峻な勾配を持ち、電子形成領域を侵蝕しないのでパターンの微細化、集積度の向上が可能である。

第7図はアルゴン等の不活性ガスのイオン注入量に対する、注入領域と非注入領域の各酸化膜厚

6

板表面に垂直な方向つまり厚み方向の酸化成長速度が遅いため(111)方向つまり横方向に沿う酸化量が相対的に大になる。第1図はこれを説明する図でSUBはシリコン半導体基板、1aはその表面に被覆されかつパターニングされた絶縁膜である。このシリコン半導体基板SUB上の絶縁膜1aをマスクとしてその開口部1cの下部基板を酸化すると、開口部1cの端よりも更に絶縁膜1aの下部の方へ横方向に深く侵入した酸化膜1bが形成される。酸化がマスクパターンに対応部分だけでなく、その周辺へも延びるということは、勿論選択酸化の精度が悪いということであり、一般には好ましいことではない。この横方向酸化量は微細パターンにおいては無視できない量であり、従つて集成度の向上を防げる。

ところでマスクを通して半導体基板に不活性ガスを高濃度に注入するとその注入部はアモルファス化され、基板には部分的アモルファス層が形成される。一般にアモルファス層の熟酸化速度は単結晶層より速く、短時間に厚い酸化膜ができる。

3

て横方向酸化が充分進行する余裕がなく、酸化膜1dはその周縁が酸化膜1aの下部へ延びる量は少なく、該周縁の端面は急峻な勾配を持つ。この結果選択酸化の精度がよくなり、微細なパターンの形成が可能となる。

この基板を選択的にアモルファス化したのち酸化するという方法は種々の応用が可能であり、次にその実施例を説明する。

既知のように半導体装置特に集積回路においては、半導体基板上の電子形成領域を互いに分離絶縁する必要がある。第3図、第4図は従来法による電子形成領域絶縁用の酸化膜形成工程を示す。この方法では先ず第3図に示すように(100)面のシリコン半導体基板SUB上に二酸化シリコン膜1を、更にその上に窒化シリコン膜2を被覆し、然るのち所定のパターンを持つようにパターニングする。次に第4図に示すように残った酸化膜1および窒化膜2をマスクとして基板SUBを、熟酸化し、可成り厚い酸化膜1eを形成する。このとき前述のように、シリコンの(100)面は(111)

5

の差の変化を示す。使用基板は(100)面のシリコン基板、加速電圧100KeV、酸化温度1100°C、酸化時間は60分の場合の一例を示している。この図に示されるようにイオン注入量がある量になるまでは酸化膜厚の差はほとんどないが、イオン注入量がある値以上になると急激に酸化膜厚の差が増加する。本発明では、この酸化膜厚差が顕著になる程度にシリコン基板に不活性ガスをイオン注入する。

第2の実施例は、半導体基板内への選択的不純物注入である。即ち所望パターンを持つマスクを通して半導体基板に選択的に不活性ガスを高濃度に注入してアモルファス層を形成し、次にマスクを取り除いたのち半導体基板表面を酸化すると該表面には酸化膜が形成されるが、その膜厚は前述のことから明らかかのように不活性ガスの非注入領域と注入領域とでは異なることになる。次にかかる段差を持つ酸化膜をマスクとしてリン、ほう素などの不純物イオンの注入を行なうと、基板内には該段差に応じた所望の段状の不純物分布が得ら

7

注入量に対する酸化膜厚の差の変化を示す特性図である。

図においてSUBはシリコン半導体基板、1aは絶縁膜、1、1b、1c、1dは酸化膜、2は窒化膜、3はアモルファス領域である。

出願人 富士通株式会社
代理人弁理士 背柳 稔

特開昭53-83465(3)
れる。これは基板内所望レベルの位置にPN接合、埋込層、アイソレーション領域などを形成するのに利用できる。

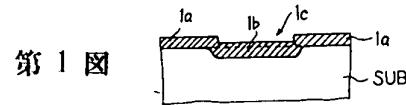
第3の実施例は基板表面の凹凸処理である。即ち前記の方法で基板表面に膜厚差のある酸化膜を形成し、その酸化膜をスパッタエッチングまたはエッチャントによるエッティング等により物理的、化学的に除去すれば任意の高さの凹凸を基板表面に形成することができる。

以上詳細に説明したように本発明によれば、不活性ガスを高濃度にかつ選択的に半導体基板内にイオン注入してアモルファス層を部分的に形成し、然るのち熱酸化処理することにより、高精度の選択酸化を行なうことができ、またその酸化膜を利用して基板内所望部分への不純物注入、基板表面の凹凸加工などを簡単迅速に行なうことができる。

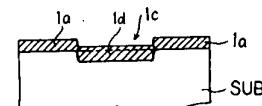
4. 図面の簡単な説明

第1図、第3図、第4図は従来方法を説明する断面図、第2図、第5図、第6図は本発明の実施例を説明する断面図、第7図は不活性ガスイオン

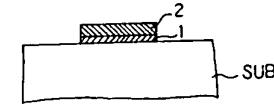
8



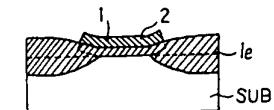
第1図



第2図

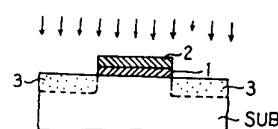


第3図

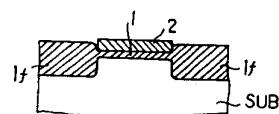


第4図

第5図



第6図



第7図

